

1/5/1 (Item 1 from file: 347)
DIALOG(R) File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

02990168 **Image available**
MULTIPROCESSOR SYSTEM

PUB. NO.: 01-287768 JP 1287768 A]
PUBLISHED: November 20, 1989 (19891120)
INVENTOR(s): KATO SHINYA
SUDO KIYOSHI
NONOMURA KAZUYASU
APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 63-117622 [JP 88117622]
FILED: May 13, 1988 (19880513)
INTL CLASS: [4] G06F-015/16; G06F-015/16
JAPIO CLASS: 45.4 (INFORMATION PROCESSING -- Computer Applications)
JOURNAL: Section: P, Section No. 1003, Vol. 14, No. 66, Pg. 40,
February 07, 1990 (19900207)

ABSTRACT

PURPOSE: To access a register in a processor which is small in hardware quality without decreasing memory access efficiency by making an interprocessor communication through registers in processors which are formed by assigning register spaces to banks by the processors.

CONSTITUTION: A register R1 (R2 or R3) in one processor P1 (P2 or P3) is assigned to one bank as shown in an assignment example (b), so the hardware quantity is small. Further, the registers R1-R3 in the processors are assigned to one bank, so when the processor P1, for example, accesses the register in the processor P2, other processors P3... can not access the same bank, so the registers in the processors can not be accessed and a bus need not be locked. Further, the bus B is shared for both storage device access and the interprocessor communication, so any dedicated bus for in-processor register access is not required. Consequently, the quantity of hardware is reduced and the efficiency of memory access is improved.

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2533162号

(45) 発行日 平成 8 年(1996) 9 月11日

(24) 登録日 平成 8 年(1996) 6 月27日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/16 15/167	3 5 0		G 0 6 F 15/16	3 5 0 A 3 1 0 M

請求項の数 1 (全 7 頁)

(21) 出願番号	特願昭63-117622	(73) 特許権者	999999999 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	昭和63年(1988) 5 月13日	(72) 発明者	加藤 慎哉 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
(65) 公開番号	特開平1-287768	(72) 発明者	須藤 清 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
(43) 公開日	平成 1 年(1989)11月20日	(72) 発明者	野々村 一泰 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
前置審査		(74) 代理人	弁理士 井桁 貞一
		審査官	鶴谷 裕二
		(56) 参考文献	特開 昭54-104247 (J P, A)

(54) 【発明の名称】 マルチプロセッサシステム

1

(57) 【特許請求の範囲】

【請求項 1】 インタリーブ動作可能な複数のバンクを有したメモリと、
前記メモリにバスで接続され、前記バスを介してメモリをアクセスする複数のプロセッサとを有したマルチプロセッサシステムにおいて、
前記プロセッサは、前記バンクのメモリ空間の一つを割りつけられたレジスタをそれぞれ有することを特徴とするマルチプロセッサシステム。

【発明の詳細な説明】

【概要】

インタリーブ動作可能なメモリを共有メモリとして持つマルチプロセッサシステムに関し、
メモリアクセス効率を低下させずハードウェア量の少ないプロセッサ内レジスタアクセスの実現を目的とし、

2

それぞれのプロセッサに、それぞれのプロセッサが記憶装置のメモリ空間へのアクセスに用いるバスによりアクセス可能でありレジスタ空間（レジスタに割り付けたアドレス空間）をプロセッサ毎に順次異なるバンクのメモリ空間に割り付けたプロセッサ内レジスタを備え、該プロセッサ内レジスタを通じてプロセッサ間通信を行うよう構成する。

〔産業上の利用分野〕

本発明はマルチプロセッサシステムに係り、特にインタリーブ動作可能なメモリを共有メモリとして持つマルチプロセッサシステムに関する。

〔従来の技術〕

インタリーブ動作可能なメモリを共有メモリとして持つマルチプロセッサシステムにおいては、プロセッサ間通信のためのプロセッサ内レジスタ空間へのアクセス

3

も、メモリ空間と同じ経路でアクセスされるのが一般である。

メモリ空間は、アクセス効率を高めるために複数のバンクに分割して、インタリーブ動作を行わせている。

プロセッサ内レジスタ空間も、第4図に示すように、メモリ空間と同じく複数のバンクに分割することにより、アクセス効率を高めることができる。

〔発明が解決しようとする課題〕

上記のようにプロセッサ内レジスタ空間も複数のバンクに分割するときは、プロセッサには各バンクに対応したアドレスラッチ等の制御回路が必要となる。しかも、プロセッサ内のレジスタ空間へのアクセスは、メモリ空間へのアクセスに比べてその回数が非常に少ない。このため、アクセス頻度の少ない空間のために多大なハードウェア量を増すことは好ましくない。

プロセッサ内レジスタ空間を複数のバンクに分割しない場合には、複数のバンクに分割したときのようにハードウェアは増えないが、例えばプロセッサAが、プロセッサB内レジスタをアクセスしている間に、他のプロセッサがプロセッサB内レジスタをアクセスできないようにバスロックする必要がある。バスロックするということは、その間他のプロセッサによるメモリアクセスができないということになり、メモリアクセスの効率を下げることになる。

また、バスロックによるメモリアクセス効率の低下を避けるため、第5図に示すように、プロセッサ内レジスタへのアクセスのために、メモリアクセスとは別のバスを設けるようにした場合は、バスの制御回路等のハードウェア量が増えるという問題点がある。

本発明が解決しようとする課題は、このような従来の問題点を解消したマルチプロセッサシステムを提供することにある。

〔課題を解決するための手段〕

第1図は、本発明のマルチプロセッサシステムの原理ブロック図を示す。

図において、MMは複数のプロセッサに共有の記憶装置であり、インタリーブ動作が可能である。

P1, P2, P3, …はマルチプロセッサシステムを構成するプロセッサである。

Bはバスであり、各プロセッサが記憶装置MMのメモリ空間へのアクセスに用いる。

R1, R2, R3, …はプロセッサ内レジスタであり、それぞれのプロセッサが記憶装置(MM)のメモリ空間へのアクセスに用いるバスBによりアクセス可能でありレジスタ空間をプロセッサ毎に異なるバンクのメモリ空間に割りつけられている。

〔作用〕

本発明の構成によれば、一つのプロセッサのプロセッサ内レジスタは、第1図(b)に示す割りつけ例のように、バンク一つにしか割りつけられていないため、複数

4

バンクの場合よりハードウェア量が少ない。

また、プロセッサ内レジスタは、バンク一つに割りつけられているため、例えばプロセッサP1がプロセッサP2内レジスタをアクセスしているとき、他のプロセッサP3, …は同一バンクのアクセスはできないからプロセッサ内レジスタをアクセスすることはできず、バスをロックする必要はない。バスをロックする必要がないから記憶装置アクセスの効率を下げることはない。

さらに、記憶装置アクセス用とプロセッサ間通信用バスを共用するため、プロセッサ内レジスタアクセス専用バスも必要としない。

〔実施例〕

以下第2図および第3図に示す実施例により、本発明をさらに具体的に説明する。

第2図は、本発明の一実施例の構成を示す図である。

第2図(a)は接続構成を示し、(b)はプロセッサ内レジスタ空間のバンク割りつけを示す。

第2図に示すとおり、記憶装置のメモリ空間は四つのバンク(バンク0, バンク1, バンク2, バンク3)に分割されている。

プロセッサA, プロセッサB, プロセッサC, プロセッサDと記憶装置とは、アドレスバスおよびデータバスにより接続されている。

プロセッサAのプロセッサ内レジスタ(A内レジスタ)はバンク0に、プロセッサB内レジスタはバンク1に、プロセッサC内レジスタはバンク2に、プロセッサD内レジスタはバンク3に割りつけられている。

これにより、プロセッサAがプロセッサB内レジスタをアクセスしている間、プロセッサC, プロセッサDはバンク1の空間にあたるプロセッサB内レジスタをアクセスすることはできない。しかし、プロセッサC, プロセッサDは、この間バンク0, 2, 3にあたるメモリ空間のアクセスは可能である。

第3図は、本発明の他の実施例の構成を示す図である。

第3図の実施例では、(a)に示すように、記憶装置のメモリ空間は四つのバンク(バンク0, バンク1, バンク2, バンク3)に分割されており、プロセッサはA, B, C, D, E, F, G, Hと8台あり、各プロセッサ内レジスタは、

(b)に示すように、バンクに割りつけられている。

即ち、プロセッサA内レジスタおよびプロセッサE内レジスタはバンク0に、プロセッサB内レジスタおよびプロセッサF内レジスタはバンク1に、プロセッサC内レジスタおよびプロセッサG内レジスタはバンク2に、プロセッサD内レジスタおよびプロセッサH内レジスタはバンク3にそれぞれ割りつけられている。

〔発明の効果〕

以上の説明のように本発明によれば、プロセッサ間通信用のプロセッサ内レジスタに関連するハードウェア量を減少でき、且つメモリアクセスの効率を高めることが

5

6

でき、その実用上の効果は極めて大である。

【図面の簡単な説明】

第1図は本発明の原理ブロック図、

第2図は本発明の一実施例の構成を示す図、

第3図は本発明の他の実施例の構成を示す図、

第4図はプロセッサ内レジスタ空間を複数のバンクに分

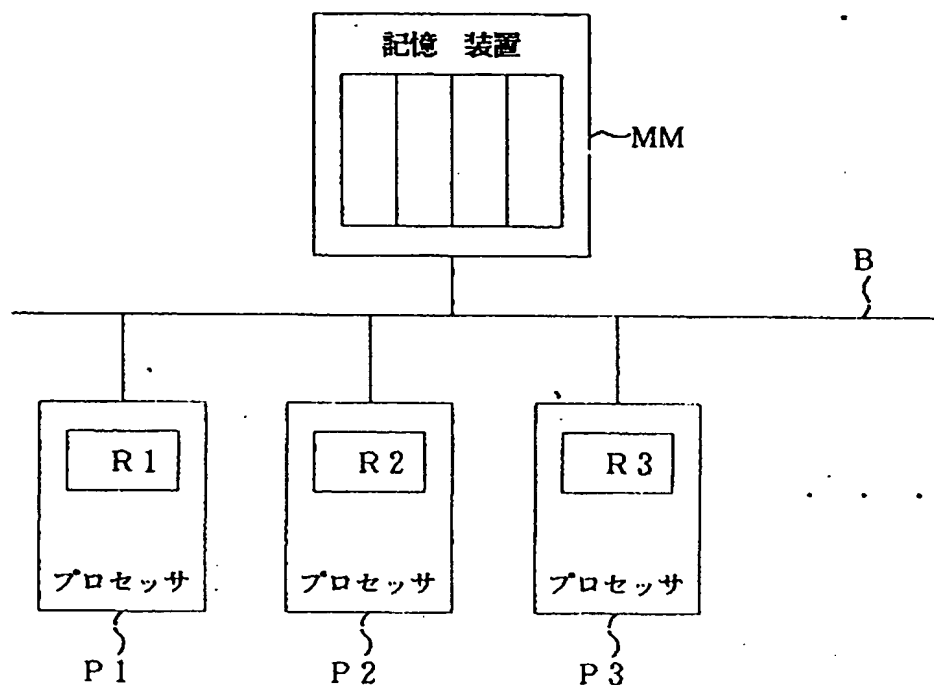
割した従来例を示す図、

第5図はプロセッサ内レジスタアクセス専用バスを設けた例を示す図である。

図面において、

MMは記憶装置、Bはバス、P1、P2、P3、…はプロセッサ、R1、R2、R3、…はプロセッサ内レジスタ、をそれぞれ示す。

【第1図】



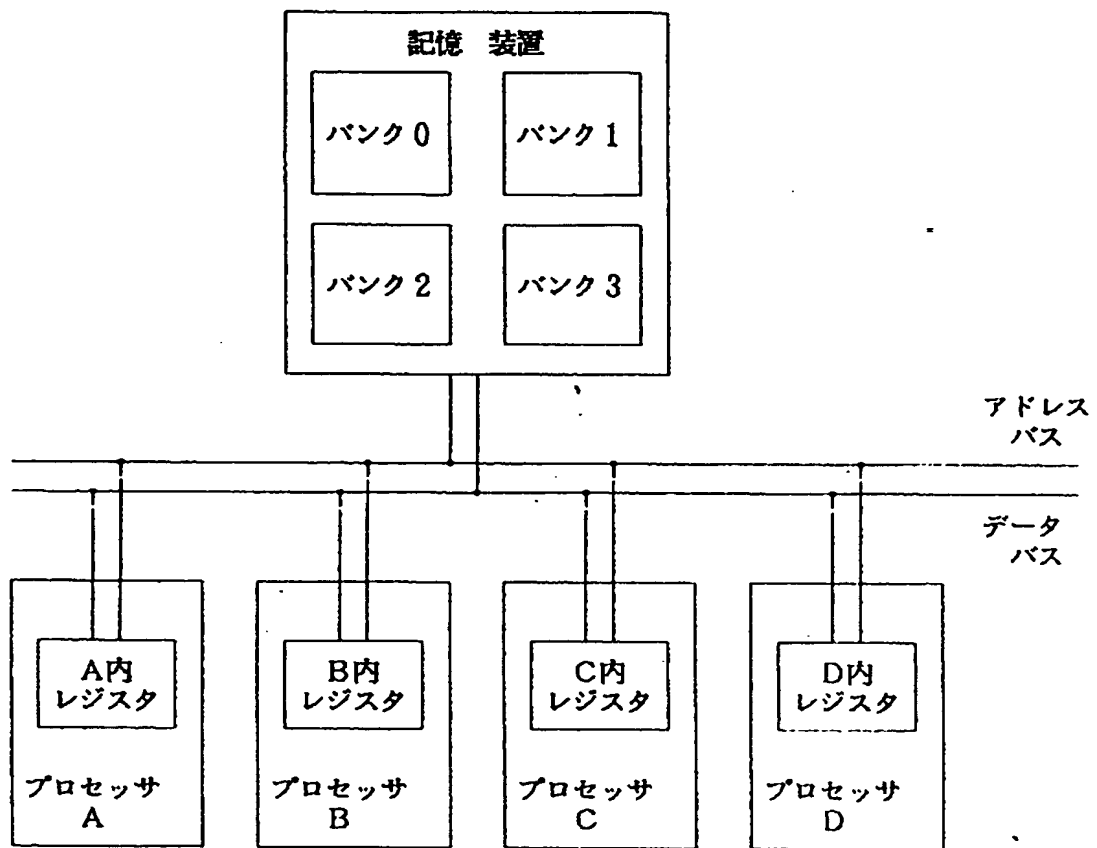
(a)

バンク0	バンク1	バンク2	バンク3
プロセッサP1内 レジスタ	プロセッサP2内 レジスタ	プロセッサP3内 レジスタ	プロセッサP4内 レジスタ

(b)

本発明の原理ブロック図

【第2図】



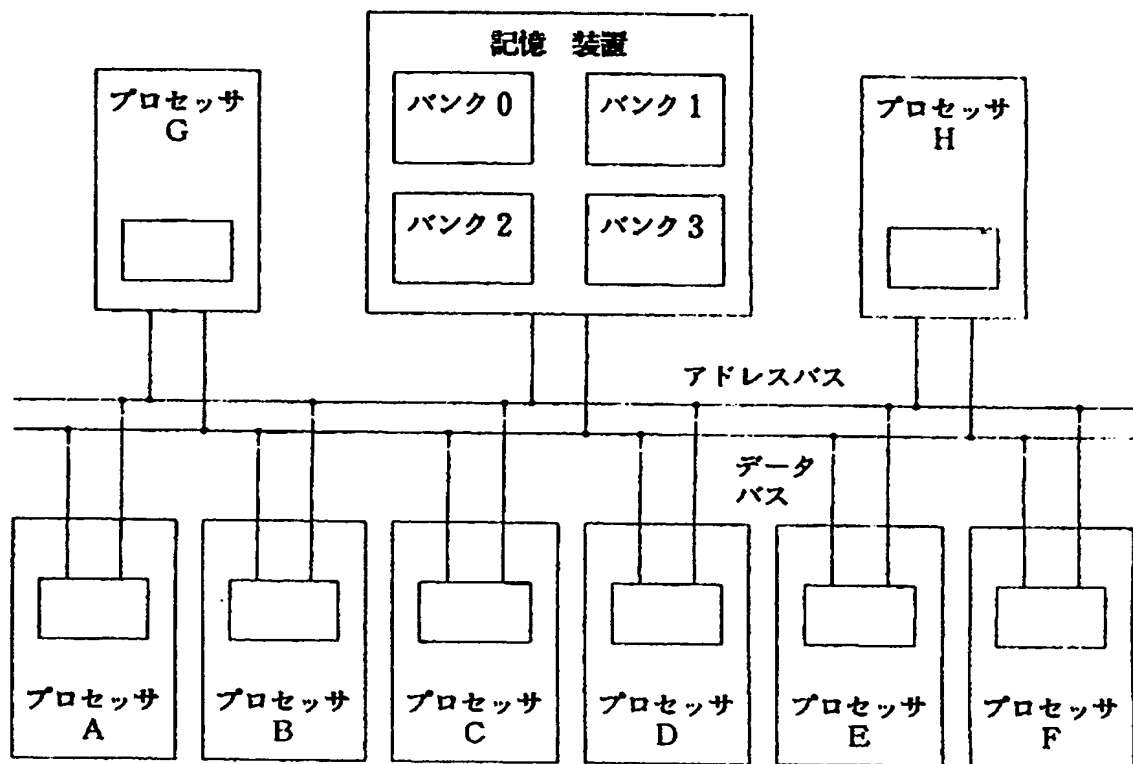
(a)

メモリ空間	バンク0	バンク1	バンク2	バンク3
レジスタ空間	A内 レジスタ	B内 レジスタ	C内 レジスタ	D内 レジスタ

(b)

本発明の一実施例の構成を示す図

【第3図】



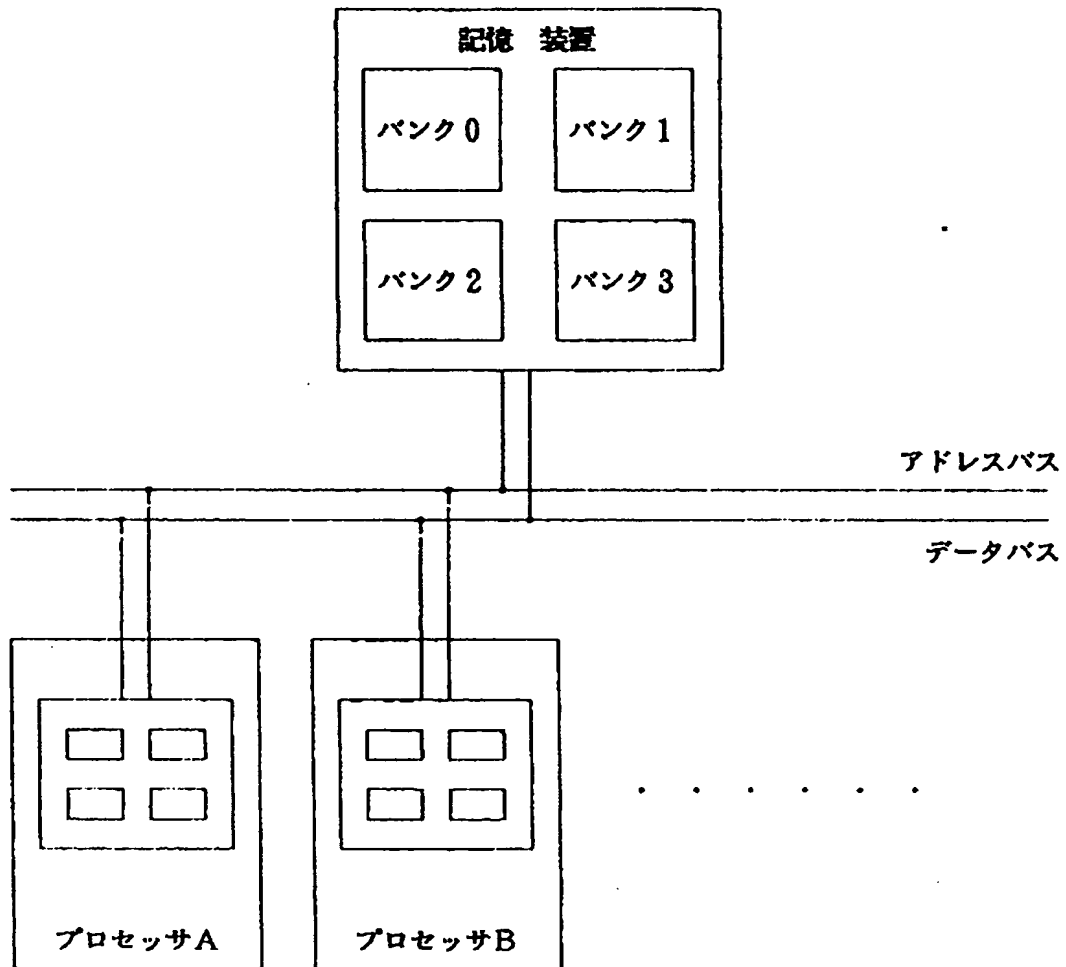
(a)

メモリ空間	バンク 0	バンク 1	バンク 2	バンク 3
レジスタ空間	A内 レジスタ	B内 レジスタ	C内 レジスタ	D内 レジスタ
	E内 レジスタ	F内 レジスタ	G内 レジスタ	H内 レジスタ

(b)

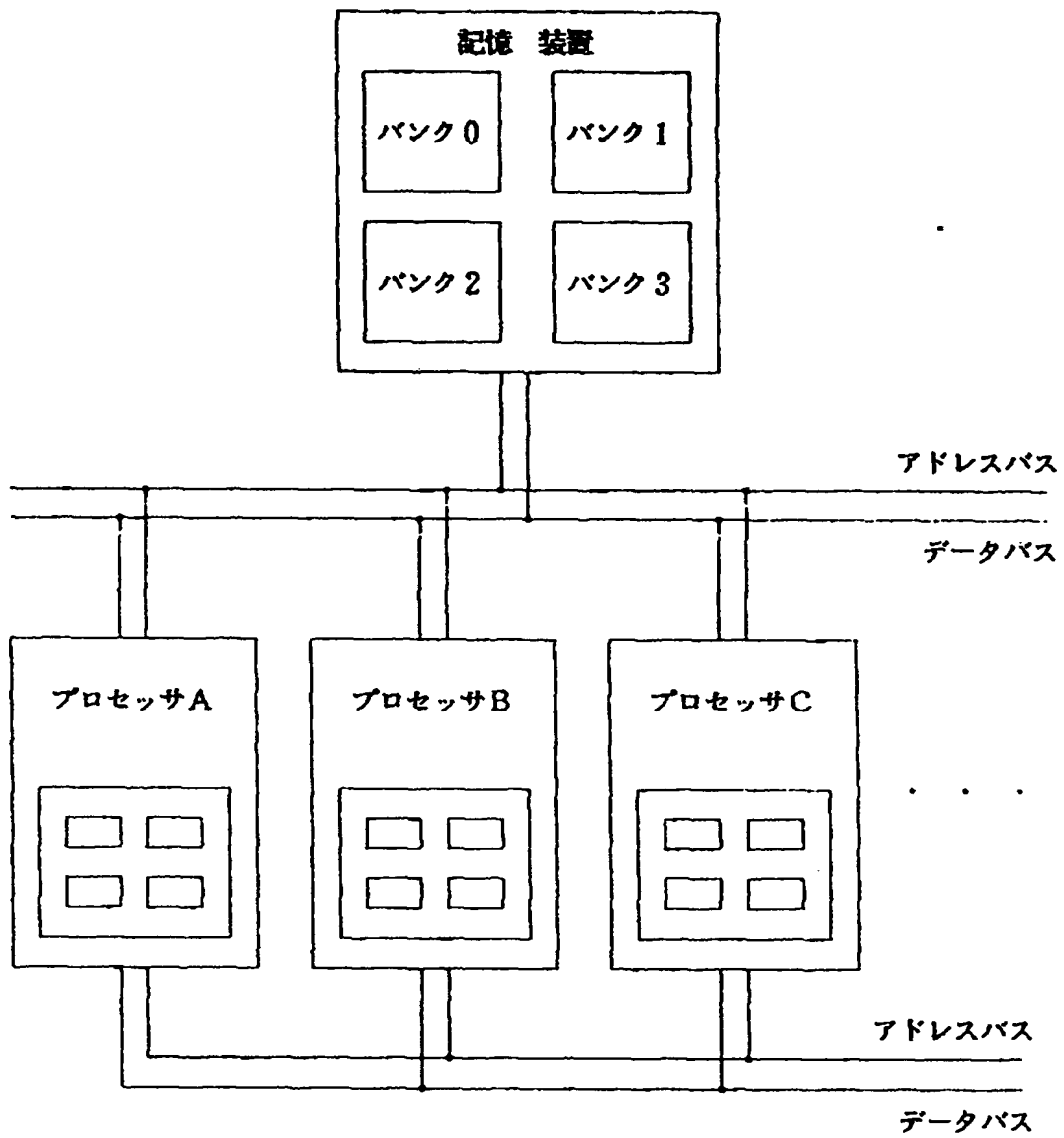
本発明の他の実施例の構成を示す図

【第4図】



プロセッサ内レジスタ空間を複数バンクに分割した従来例を示す図

【第5図】



プロセッサ内レジスタアドレス専用バスを設けた例を示す図